

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

⑨ 日本国特許庁(J-P)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-59949

⑪ Int.Cl.

H 01 L 27/04
27/10

識別記号

4 9 1
4 9 5

庁内整理番号

G-7514-5F
8624-5F
8624-5F

⑬ 公開 昭和64年(1989)3月7日

※審査請求 未請求 発明の数 1 (全15頁)

⑭ 発明の名称 半導体集積回路装置の製造方法

⑮ 特 願 昭62-217091

⑯ 出 願 昭62(1987)8月31日

⑰ 発 明 者 内 田 憲 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑱ 発 明 者 目 黒 怜 東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 出 願 人 日立超エル・エス・アイエンジニアリング株式会社 東京都小平市上水本町1448番地

㉑ 代 理 人 弁理士 秋田 収喜
最終頁に続く

明細書

1. 発明の名称

半導体集積回路装置の製造方法

2. 特許請求の範囲

1. PN接合によるダイオードを有し、イオン打込みによる欠陥を回復させてしまう高温の熱処理が終了後に、前記ダイオードのPN接合部に、イオン打込みによって欠陥を形成することを特徴とする半導体集積回路装置の製造方法。
2. 前記高温の熱処理は、900～1000℃程度で行われることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置の製造方法。
3. 前記ダイオードは、電圧発生回路のリミッタとして使用されることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置の製造方法。
4. 電圧発生回路は、EPROM又はEEPROMの高電圧発生回路であることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置の製造方法。
5. 前記イオン打込みは、層間絶縁膜に接線孔を

形成する工程で前記ダイオード上に開口を形成して行うことを特徴とする特許請求の範囲第1項記載の半導体集積回路装置の製造方法。

6. 前記ダイオードは、ウェル領域に構成されていることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置の製造方法。

7. 前記イオン打込みは、マスクROMに情報の書き込みを行うイオン打込み工程と同一工程でなされることを特徴とする特許請求の範囲第1項記載の半導体集積回路装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体集積回路装置の製造方法に関し、特に、PN接合によるダイオードを備えた半導体集積回路装置の製造方法に関するものである。
[従来技術]

不揮発性メモリに、EPROM(Electrically Programmable ROM)、EEPROM(Electrically Erasable and Programmable ROM)がある。これらEPROM、EEPROMの情報の書き込みは、



周知のように、メモリセルを構成するMISFETのゲート電極とドレインとの間に15V程度の高電圧を印加して行われる。前記高電圧は、近年半導体チップ内に高電圧発生回路を設けて得るようにしている。この高電圧発生回路は、ゲート電極をドレインに接続することによりダイオード形態に構成したMISFETを複数個カスケード接続し、前記それぞれのMISFETのゲート電極に容量素子を接続して構成される。そして、1つおきごとのMISFETに容量素子を通してクロック信号φを加え、それらの間のMISFETに容量素子を通して前記と逆位相のクロック信号φ⁺を加えることにより、前記それぞれのMISFETを交互に動作させて、高電圧を発生するようにしている。この高電圧発生回路の出力端子においては、MISFETのソース、ドレインと基板との間の接合耐圧、例えば22.3V程度まで昇圧される。そこで、高電圧発生回路の出力段にPN接合ダイオード（以下、単に、ダイオードという）を設けて、情報の書き込み及び消去に必要な所定電

圧、例えば12.5Vあるいは15Vを得るようにしている。前記ダイオードは、P⁺ウェル領域の表面部にP⁺領域を形成し、さらにこのP⁺領域の表面部にN⁺領域を形成して構成する。

〔発明が解決しようとする問題点〕

本発明者が、前記高電圧発生回路及びダイオードの動作試験を行ったところ、次の問題点を見出した。

前記高電圧発生回路の出力段には、前記ダイオードが設けられているため、これによってリミットされて、12.5V～15Vの所定電位が出力されるはずである。ところが、実際には前記所定電位より数V程度高い電圧が出力されている。このため、メモリセルへの情報の書き込み、又は消去を繰り返したとき、そのメモリセルであるMISFETのゲート絶縁膜の劣化が非常に速い。

本発明者は、所定電位以上の高電位が発生するメカニズムを以下のように考えている。

前記ダイオードが構成されているウェル領域のキャリアの濃度が非常に小さいため、所定電位以

上の高電位がダイオードの接合部に加ると同時にブレイクダウンできない。このため、ダイオードの接合部に加る電圧と、接合部を流れる電流との間に位相差が生じ、発振する。この発振によってノイズが発生し、これが高電圧発生回路の出力電圧に重畳するため、前記のように所定電位以上の高電位が出力されてしまう。

本発明の目的は、電圧のリミッタとしてのダイオードの信頼性を高めることにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかにするであろう。

〔問題点を解決するための手段〕

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、PN接合によるダイオードを有し、イオン打込みによる欠陥を回復させてしまう高温の熱処理が終わった後に、前記ダイオードのPN接合部に、イオン打込みによって欠陥を形成する。

〔作用〕

上述した手段によれば、ダイオードを流れるリーク電流が増て、ウェル領域のキャリアの濃度が高くなるので、ダイオードに所定電位以上の高電位が加ったときに、直にブレイクダウンを起すようになる。このため、接合部に加る電圧と電流との間に位相差がなくなり、発振しなくなるので、リミッタとしてのダイオードの信頼性を高めることができる。又、メモリセルの劣化を防ぐことができる。

〔発明の実施例〕

以下、本発明の一実施例を図面を用いて説明する。

第1図は、本発明の一実施例の製造方法によって形成した半導体集積回路装置のブロック図である。

第1図において、1はN⁺単結晶シリコンからなるチップであり、RAM(Random Access Memory) 2、ROM(Read Only Memory) 3、EEPROM 4、CPU(中央処理装置) 5を備えている。

次に、第2図に前記EEPROMの回路の概要を示す。

第2図において、6は本実施例の半導体集積回路装置が備えている高電圧発生回路であり、周知のように、PチャネルMISFET Q_6 と容量素子Cを複数個ずつ接続して構成している。 ϕ は第1クロック信号、 $\bar{\phi}$ は第1クロック信号と逆位相の第2クロック信号であり、それぞれ容量素子Cの端子に印加される。この第1クロック信号 ϕ 、第2クロック信号 $\bar{\phi}$ によって高電圧発生回路を駆動すると、その出力側すなわちダイオードD₆が接続されている側に-10V程度の負の高電圧が得られるようになっていく。前記と反対側は、接地電位 V_{ss} 、例えば0Vに固定されている。

ダイオードD₆は高電圧発生回路で発生される高電圧のリミッタであり、一端は電源電位 V_{cc} 、例えば5Vに固定され、他端は高電圧発生回路6の出力段に接続されている。このダイオードD₆は、後述するようにPN接合からなり、その両端に所定電位、例えば15V以上の高電圧が加ると

ブレイクダウンして、メモリセルのスイッチMISFETSW、情報記憶MISFETMに前記所定電位以上の電位差(15V)が加ることがないようにしている。なお、セル分離MISFETISOは、回路の動作上、電源電位 V_{cc} 以上の電位差が加ることがない。前記メモリセルを構成するスイッチMISFETSW、情報記憶MISFETM、セル分離MISFETISOは、 PW_{ell} (ウエル)に構成されている。

ここで、 W_{ell} 、データ線DL、第1ワード線WL₁、第2ワード線WL₂、第3ワード線WL₃に印加される電位を実施例の最後の表(1)に示す。

高電圧発生回路6と W_{ell} の間にPチャネルMISFET Q_{11} 、 Q_{12} を設けて、情報の書き込み時にMISFET Q_{11} をON、MISFET Q_{12} をOFFにして、 W_{ell} に高電圧発生回路6の出力(-10V)を印加する。情報の読み出し時には、MISFET Q_{11} がOFF、MISFET Q_{12} がONとなって W_{ell} を接地電位 V_{ss} 例

えば0Vにする。一方、 W_{ell} と電源電位 V_{cc} 、例えば5V電源の間にはNチャネルMISFET Q_{21} 、PチャネルMISFET Q_{22} 、 Q_{23} が図のように設けられており、情報の消去時にMISFET Q_{21} 、 Q_{22} をON、MISFET Q_{23} をOFFとして電源電位 V_{cc} を印加する。MISFET Q_{21} 、 Q_{22} 、 Q_{23} は、書き込み時、読み出し時にはそれぞれOFFとする。高電圧発生回路6の出力端子は、またPチャネルMISFETのゲート電極をソース又はドレインに接続して構成した抵抗素子Rを通して、データ線DLとの間に設けたPチャネルMISFET Q_{31} 、第1ワード線WL₁との間に設けたPチャネルMISFET Q_{32} 、第2ワード線WL₂との間に設けたPチャネルMISFET Q_{33} 、第3ワード線WL₃との間に設けたPチャネルMISFET Q_{34} のそれぞれに接続している。データ線DLには、前記MISFET Q_{11} の他に、Yデコーダ33との間にPチャネルMISFET Q_{41} が設けてあり、情報の書き込み時に、書き込みがなされるメモリセルに接続してい

るデータ線DLのMISFET Q_{12} をON、MISFET Q_{11} をOFFにして高電圧発生回路6の出力(-10V)を印加する。情報の書き込み時に書き込みがなされない(書き込み禁止)メモリセルに接続しているデータ線DLでは、MISFET Q_{12} をOFF、MISFET Q_{11} をONとすることにより、Yデコーダ33内の回路によって電源電位 V_{cc} を印加する。情報の読み出し時には、いずれのデータ線DLも、MISFET Q_{12} をOFF、MISFET Q_{11} をONにすることにより、Yデコーダ33内の回路によってデータ線DLを電源電位 V_{cc} とする。情報の消去時には、いずれのデータ線DLも、MISFET Q_{12} をOFF、MISFET Q_{11} をONにして、Yデコーダ33内の回路によってデータ線DLを電源電位 V_{cc} にする。第1ワード線WL₁には、前記MISFET Q_{21} の他に、Xデコーダ34との間にPチャネルMISFET Q_{51} が設けられており、情報の書き込み時に、書き込みがなされるメモリセルの第1ワード線WL₁、書き込み禁止のメモリセルの第

1ワード線WL₁、いずれにおいても、MISFETQ₁₁をOFF、MISFETQ₁₂をONとしてXデコーダ34内の回路を通して電源電位V_{cc}を印加する。また、情報の読み出し時に、MISFETQ₁₁をOFF、MISFETQ₁₂をONにしてXデコーダ34内の回路によって電源電位V_{cc}を印加する。情報の消去時には、MISFETQ₁₁をOFF、MISFETQ₁₂をONにしてXデコーダ34内の回路によって電源電位V_{cc}又は接地電位V_{ss}にする。第2ワード線WL₂には、前記MISFETQ₁₁の他に、PチャネルMISFETQ₂₁が設けられており、情報の書き込み時に書き込みがなされるメモリセルに接続している第2ワード線WL₂、書き込み禁止のメモリセルに接続している第2ワード線WL₂のいずれにおいても、MISFETQ₂₁をOFF、MISFETQ₂₂をONにして電源電位V_{cc}を印加する。情報の消去時には、いずれの第2ワード線WL₂もMISFETQ₂₁をON、MISFETQ₂₂をOFFにして、高電圧発生回路6の出力(-10

V)を印加する。情報の読み出し時には、MISFETQ₂₁をOFF、MISFETQ₂₂をONにしてXデコーダ34内の回路によって接地電位V_{ss}にする。第3ワード線WL₃には、前記MISFETQ₁₁の他に、Xデコーダ34との間にPチャネルMISFETQ₃₁が設けられており、情報の書き込み時に書き込みがなされるメモリセルに接続している第3ワード線WL₃、書き込み禁止のメモリセルに接続している第3ワード線WL₃のいずれにおいても、MISFETQ₃₁をON、MISFETQ₃₂をOFFにして、高電圧発生回路の出力(-10V)を印加する。情報の消去時には、いずれの第3ワード線WL₃においても、MISFETQ₃₁をOFF、MISFETQ₃₂をONにして、Xデコーダ34内の回路によって電源電位V_{cc}又は接地電位V_{ss}を印加する。読み出し時には、いずれの第3ワード線WL₃においても、MISFETQ₃₁をOFF、MISFETQ₃₂をONにして、Xデコーダ34内の回路によって電源電位V_{cc}とする。メモリセルのセル分

離MISFETISOのソース又はドレインには、PチャネルMISFETQ₁₁と、NチャネルMISFETQ₁₂からなるスイッチが接続されており、情報の消去時にはMISFETQ₁₁をON、MISFETQ₁₂をOFFにして電源電位V_{cc}にする。また、情報の読み出し時には、MISFETQ₁₁をON、MISFETQ₁₂をOFFにして接地電位V_{ss}にする。

次に、第3図の領域Aに第2図のダイオードD₁の断面、領域BにEEPROMのメモリセルの断面、領域Cに第1図のROM領域3に構成されたマスクROMのメモリセルの断面を示す。領域AのダイオードD₁の断面図は、第4図に示したダイオードD₁の平面図のY-Y'切断線におけるものである。

ダイオードD₁は、領域B、領域CのP_W0.1から分離して形成したP_W0.1に構成されており、そのW0.1の表面のN⁻半導体領域11Aと、この下に接して形成したP⁻半導体領域13とで構成されている。このN⁻半導体領域11AとP⁻半導体領

域13の部分を第5図に拡大して示す。N⁻半導体領域11Aには、層間絶縁膜20を除去してなる接続孔21Bを通して接続したアルミニウム膜からなる配線22Bによって電源電位V_{cc}を給電している。一方、P_W0.1の表面のN⁻半導体領域11A及びP⁻半導体領域13から離隔した部分にP⁻半導体領域12が形成してあり、これに高電圧発生回路6の出力端子から延在してきたアルミニウム配線22Aが接続孔21Aを通して接続している。このため、高電圧発生回路6の出力が-10Vになると、ダイオードD₁の両端にはそのブレイクダウン電圧例えば15Vが加ることになる。N⁻半導体領域11は、その周囲をフィールド絶縁膜8によって規定しているが、P⁻半導体領域13はその周囲がフィールド絶縁膜8に達しないように、N⁻半導体領域11より小さくしている。これは、ブレイクダウン時に発生するキャリアがフィールド絶縁膜8の中に飛達まないようにするためである。層間絶縁膜20は、例えば低圧CVDによる酸化シリコン膜の上にリンシリケートガラス(PSG)膜を積層し

て構成したものである。前記接続孔21Bは、P⁺半導体領域13より少し小さい程度の大きさに形成されており、この接続孔21Bを通してイオン打込みすることにより、第5図に示すように、N⁺半導体領域11AとP⁺半導体領域13の接合部にダメージ領域24を形成している。

ここで、第6図に、ダイオードD₂の電圧電流特性を示し、ブレイクダウン時の電圧Vと電流Iの位相特性を第7図に示す。第6図のI₁はダイオードD₂のリーク電流であり、ダイオードD₂に印加されている電圧がブレイクダウン電圧例えば15V以下のときから常に流れ続けている。ダメージ領域24を形成したときのリーク電流I₁を矢線で示し、ダメージ領域24を形成しないときのリーク電流I₂を一点鎖線で示している。リーク電流I₁は、ダメージ領域24を形成していることにより、それを形成しない場合より大きくなる。このため、P⁺We11の内部の多数キャリア(正孔)の数が増大し、ダイオードD₂の流端にブレイクダウン電圧が加ったときに、直ちにブレイクダウ

ンを起すようになる。このため、第7図に示したように、ブレイクダウン時にPN接合に加える電圧Vと、PN接合を流れる電流I₁の間に位相差がなくなり、ダイオードD₂が発振を起すことがなくなる。したがって、高電圧発生回路6で形成した高電圧にノイズが重畳されることがなく、所定の高電圧例えば-10Vを得ることができる。なお、I₁はダメージ領域24を形成しないときのブレイクダウン時に接合を流れる電流を示したものであり、接合に加った電圧Vとの間に時間的なずれがあることを示したものである。

前記メモリセルのスイッチMISFETSWは、第3図の領域Bに示されたように、膜厚が350Å程度の酸化シリコン膜からなるゲート絶縁膜10、例えば第1層目の多結晶シリコン膜からなるゲート電極(第1ワード線WL₁)、メモリセルのソース又はドレインとなるN⁺半導体領域11Bとで構成してある。N⁺半導体領域11Bには、アルミニウム膜からなるデータ線DLが接続孔21Cを通して接続している。情報記憶MISFETMは、20

Å程度の極めて薄い酸化シリコン膜16、膜厚が350Å程度の窒化シリコン膜17、例えば第2層目の多結晶シリコン膜からなるゲート電極18(第2ワード線WL₂)とで構成してある。セル分離MISFETISOは、膜厚が350Å程度の酸化シリコン膜からなるゲート絶縁膜10、例えば第1層目の多結晶シリコン膜からなるゲート電極15B(第3ワード線WL₃)、メモリセルのドレイン又はソースとなるN⁺半導体領域11Cとで構成してある。19はゲート電極15A、15B、18のそれぞれの表面を熱酸化して形成した酸化シリコン膜である。

このように、メモリセルは非常に薄い絶縁膜10、16、17を有しているが、本願では、高電圧発生回路6の出力電圧がダイオードD₂によって良好に所定の電圧(例えば-10V)でクランプされるので、前記薄い絶縁膜15A、15B、17に所定の高電位例えば15V以上の電圧が加ることがなく、劣化をなくすることができる。なお、スイッチMISFETSW、情報記憶MISFETM、セル分

離MISFETISOが構成されているP⁺We11は、ダイオードD₂が構成されているP⁺We11、後述するマスクROMのメモリセルが構成されているP⁺We11、その他の図示していないNチャネルMISFETを構成するためのP⁺We11から分離されている。

領域CのマスクROMのメモリセルM₁、M₂は、ゲート絶縁膜10、例えば第1層目の多結晶シリコン膜からなるゲート電極15C、ソース領域となるN⁺半導体領域11D、ドレイン領域となるN⁺半導体領域11Eとで構成してある。メモリセルM₁のチャネル領域には情報の書き込みとして、イオン打込みによってP型半導体領域14を形成している。N⁺半導体領域11Eには、接続孔21Dを通してデータ線としてのアルミニウム膜からなる配線22Cが接続している。なお、ゲート電極15Cの表面は熱酸化シリコン膜19が覆っている。領域A、領域B、領域Cの全て、すなわち基板1上の全領域に、例えばプラズマCVDによってPSG膜を形成し、この上にさらに窒化シリコン膜を積層して構成し

た最終保護膜23が覆っている。

以上、説明したように、ダイオードを流れるリーク電流が増加してウエル領域のキャリアの濃度が高くなるので、ダイオードに所定電位以上の高電位が加ったときに直にブレイクダウンを起すようになる。このため、接合部に加る電圧と電流との間に位相差がなくなり、発熱しなくなるので、リミッタとしてのダイオードの信頼性を高めることができる。又、メモリセルの劣化を防ぐことができる。

次に、前記ダイオードD₁、スイッチMISFETSW、情報記憶MISFETM、セル分離MISFETISO、マスクROMのメモリセルM₁、M₂の製造工程を説明する。

第8図乃至第17図は、製造工程における領域A、領域B、領域Cのそれぞれの断面図である。

第8図に示すように、基板1の表面を熱酸化して下地膜としての酸化シリコン膜25を形成し、さらにこの上に窒化シリコン膜40を形成した後、周知のイオン打込み及び熱拡散によって領域A、領

域B、領域Cごとに分離して、PWE11を形成する。次に、周知のイオン打込みによってPチャネルストップBを形成するためのP型不純物例えばボロンを所定領域に打ち込みを実施する。次に、領域AのダイオードD₁のP'領域13が形成される部分を開口27したパターンのレジスト膜からなるマスク26を形成する。次に、125K \pm V、 $1 \sim 3 \times 10^{13}$ atoms/cm²程度で、開口27を通してPWE11の表面に例えばボロン(B)を導入してP'半導体領域13を形成する。この後、マスク26を除去する。

次に、第9図に示すように、1000 \pm 程度の熱酸化によって基板1(PWE11を含む)の表面を局所的に酸化してPチャネルストップB及びフィールド絶縁膜8を形成する。前記局所熱酸化時にP'半導体領域13の活性化を図る。次に、第8図の酸化シリコン膜25と窒化シリコン膜40を除去した後、基板1のフィールド絶縁膜8から露出している表面を熱酸化してゲート絶縁膜10を形成する。

次に、第10図に示すように、例えばCVDによって基板1上の全面に第1層目の多結晶シリコン膜を形成し、これをレジスト膜からなるマスクを用いたエッチングによってパターンニングしてゲート電極15A、15B、15Cのそれぞれを形成する。前記マスクを除去した後、ゲート電極15A、15B、15Cの表面を熱酸化して酸化シリコン膜19を形成する。次に、酸化シリコン膜19及びゲート絶縁膜10をエッチングして基板1の表面の酸化シリコン膜19、ゲート電極15A、15B、15Cから露出した部分を露出させる。このとき、酸化シリコン膜19の膜厚がゲート絶縁膜10より厚いので、ゲート電極15A、15B、15Cの表面には酸化シリコン膜19が残存する。

次に、第11図に示すように、基板1の表面の酸化シリコン膜19、ゲート電極15A、15B、15Cから露出した部分を熱酸化して、情報記憶MISFETMの20 μ m程度の極めて薄い酸化シリコン膜16を形成する。

次に、第12図に示すように、例えばプラズマ

CVDによって基板1上の全面に窒化シリコン膜17を形成し、さらにこの上に第2層目の多結晶シリコン膜18を形成した後、レジスト膜からなるマスクを用いたエッチングによってまず多結晶シリコン膜18をパターンニングしてゲート電極18を形成し、続いて窒化シリコン膜17をパターンニングする。前記レジスト膜からなるマスクは、エッチングの後に除去する。次に、ゲート電極18の表面を熱酸化して酸化シリコン膜19を形成する。このとき、基板1の表面のゲート電極15A、15B、15C及び酸化シリコン膜19から露出した部分が酸化されて、薄い酸化シリコン膜16より厚いゲート絶縁膜10となる。

次に、第13図に示すように、基板1上に、PチャネルMISFET及びP型半導体領域が設けられる領域を覆うパターンのレジスト膜からなるマスク28を形成する。次に、基板1の表面へN型不純物例えばAsをイオン打込みによって $10^{15} \sim 10^{16}$ atoms/cm²程度導入して、ダイオードD₂の一部を成すN'半導体領域11A及びNチャネルM

ISFETのソース、ドレインであるN半導体領域11B、11C、11D、11E、その他図示していないNチャネルMISFETのソース、ドレインをそれぞれ形成する。そして、マスク28を除去した後、1000℃程度のN₂アニールを施してN半導体領域11A、11B、11C、11D、11E及び図示された以外のNチャネルMISFETのソース、ドレインの活性化を図る。

次に、第14図に示すように、基板1上に、N半導体領域11A、11B、11C、11D、11E及びNチャネルMISFETを覆うレジスト膜からなるマスク29を形成する。次に、イオン打込みによって基板1の表面にP型不純物例えばボロンを $10^{11} \sim 10^{12}$ atoms/cm²程度導入して、ダイオードD₁の引出し領域であるP半導体領域12及び図示されていないPチャネルMISFETのソース、ドレインを形成する。この後、マスク29を除去する。

次に、第15図に示すように、例えば低圧CVDによって基板1上に酸化シリコン膜を形成し、

のダメージ領域24は、マスクROMの情報の書き込み工程と兼ねることができる。

次に、第18図に示すように、例えばスパッタによって基板1上の全面にアルミニウム膜を形成し、これをレジスト膜からなるマスクを用いたエッチングによってパターンニングして配線22A、22B、22C、データ線DL及び図示されていないその他のアルミニウム配線を形成する。レジスト膜からなるマスクは、パターンニングの後除去する。この後、450℃程度のH₂アニールを施す。次に、第3図のように、例えばプラズマCVDによってPSG膜の上に酸化シリコン膜を積層して、最終保護膜23を形成する。

前記、アルミニウム配線22A、22B、22C、データ線DLを形成した後の450℃程度のアニールでは、ダイオードD₁に形成したダメージ領域24の欠陥は回復されないで、ダイオードD₁の特性の向上を図ることができる。

また、マスクROMの情報の書き込みを行うイオン打込みと、前記ダイオードD₁のダメージ領域2

この上にさらにPSG膜を積層して層間絶縁膜20を形成する。この後、900～950℃程度のN₂アニール又はH₂アニールによって層間膜20の焼き固めを行う。次に、層間膜20上にレジスト膜からなるマスク30を形成し、エッチングによって層間膜20をエッチングして接続孔21A、21B、21C、21D及びそれら図示された以外のMISFETの接続孔を形成する。この後、マスク30を除去する。

本実施例の半導体集積回路装置では、900℃～1000℃の高温のアニールが施されるのは、ここまでである。

次に、第17図に示すように、領域AのダイオードD₂の接続孔21B及びマスクROMの情報の書き込みがなされるメモリセルM₁の部分を開口したパターンレジスト膜からなるマスク32を形成する。次に、P型不純物例えばボロンを300 keV、 5×10^{11} atoms/cm²で導入して、領域Aにおいてはダメージ領域24を形成し、領域CにおいてはメモリセルM₁のチャネル領域にP型半導体領域14を形成する。このように、ダイオードD

4を形成するイオン打込みを兼ねていることにより、製造工程の短縮を図ることができる。

なお、ダメージ領域24は、第18図及びそのX-X'切断線における断面図である第19図に示すように、接続孔21Bを複数にし、ここから前記実施例と同じ工程で、イオン打込みによってボロンを導入して形成するようにしてもよい。それぞれの接続孔21Bの下にダメージ領域24が形成される。なお、第18図は、最終保護膜23を図示していない。

また、ダイオードD₂は、第20図及びそのX-X'切断線における断面図である第21図に示すように、電流がWellの表面を横方向に流れる表面型であってもよい。P半導体領域13とN半導体領域11Aは、それぞれWellの表面に離隔して形成してあり、それらの間にP型半導体領域からなるダメージ領域24を前記実施例と同じ工程で形成する。ただし、この場合は、層間絶縁膜20のダメージ領域24の上の部分を開口せずに、マスクROMの書き込みと同一工程でダメージ領域24を形

成している。また、ダメージ領域24は、P⁺半導体領域13及びN⁺半導体領域11Aとオーバーラップするように形成している。なお、最終保護膜23を図示していない。

以上、本発明を実施例にもとづき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

例えば、EPROMの高電圧発生回路のリミッタであるダイオードにおいても同様である。

表(1)

	寄 込 み	寄 込 止 み	消 去	読 出 み し
Well	-10	-10	5	0
WL ₁	5	5	5 or 0	5
WL ₂	5	5	-10	0
WL ₃	-10	-10	5 or 0	5
DL	-10	5	5	5
GND	任意	任意	5	0

単位は電圧〔V〕

以下、余白

面図、

第4図は、ダイオードの平面図、

第5図は、ダイオードのPN接合部を拡大した断面図、

第6図は、ダイオードの電気電流特性を示したグラフ、

第7図は、ダイオードのブレイクダウン時の電圧と電流の位相特性を示したグラフ、

第8図乃至第17図は、製造工程におけるダイオード、EEPROMのメモリセル、マスクROMのメモリセルのそれぞれの断面図、

第18図は、前記ダイオードの変形例の平面図、

第19図は、第18図のX-X切断線における断面図、

第20図は、表面型ダイオードの平面図、

第21図は、第20図のX-X切断線におけるダイオードの断面図である。

図中、1…基板、Well…プウェル、6…高電圧発生回路、D₁…ダイオード、SW…スイッチMISFET、M…情報記憶MISFET、I

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

PN接合を有するダイオードにおいて、イオン打込みによる欠陥を回復させてしまうような高温の熱処理が終わった後に、前記PN接合部にイオン打込みによって欠陥を形成することにより、ダイオードを流れるリーク電流が増えて、前記ダイオードが構成されているウエル領域のキャリア濃度が高くなるので、ダイオードに所定電位以上の電位が加った後に直にブレイクダウンを起すことができる。このため、ダイオードの信頼性を高めることができる。さらに、高電圧発生回路の電圧が印加されるメモリセルの劣化を防ぐことができる。

4. 図面の簡単な説明

第1図は、半導体チップのブロック図、

第2図は、EEPROMの回路の概略図、

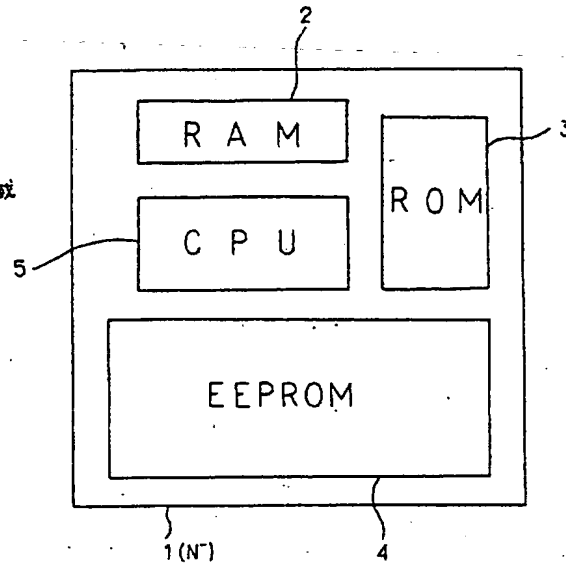
第3図は、ダイオード、EEPROMのメモリセル、マスクROMのメモリセルのそれぞれの断

SO…セル分離MISFET、10…ゲート絶縁膜、11A、11B、11C、11D、11E…N⁺半導体領域、12、13、14…P⁺半導体領域、15A、15B、15C、18…ゲート電極、16…極めて薄い酸化シリコン膜、17…窒化シリコン膜、20…層間絶縁膜(PSG/SiO₂)、21A、21B、21C、21D…接続孔、22A、22B、22C…アルミニウム配線、24…ダメージ領域。

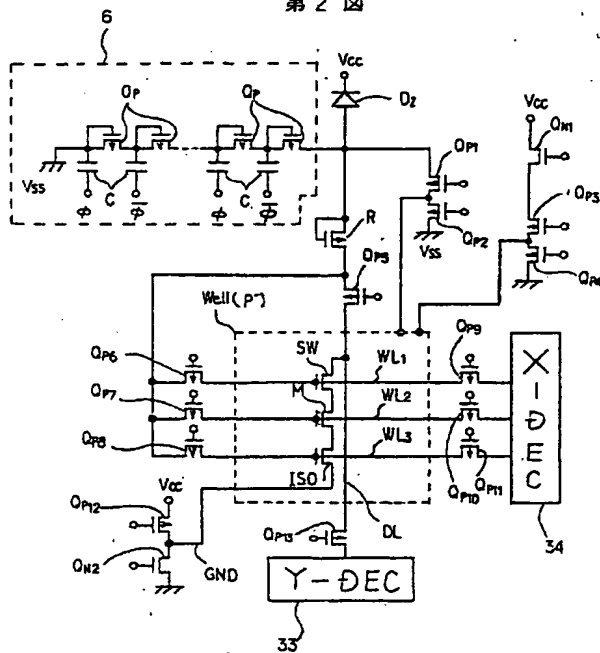
代理人 弁理士 秋田収喜

第1図

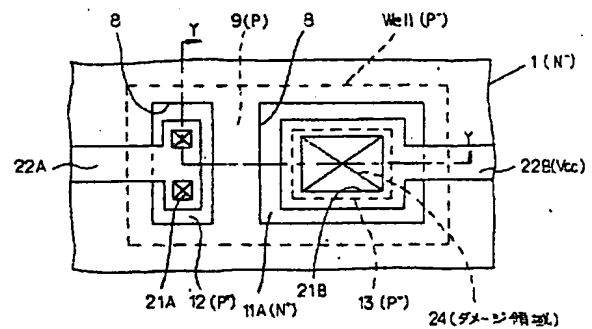
- 1 --- 基板
 Well --- Pウェル
 6 --- 高電圧発生回路
 Dz --- ダイオード
 SW --- スイッチMISFET
 M --- 情報記憶MISFET
 ISO --- セル分離MISFET
 10 --- ゲート絶縁膜
 11A, 11B, 11C, 11D, 11E --- N⁺半導体領域
 12, 13, 14 --- P⁺半導体領域
 15A, 15B, 15C, 16 --- ゲート電極
 16 --- 極めて薄い酸化シリコン膜
 17 --- 酸化シリコン膜 (PSG/SiO₂)
 20 --- 層間絶縁膜
 21A, 21B, 21C, 21D --- 接続孔
 22A, 22B, 22C --- アルミニウム配線
 24 --- ダメージ領域



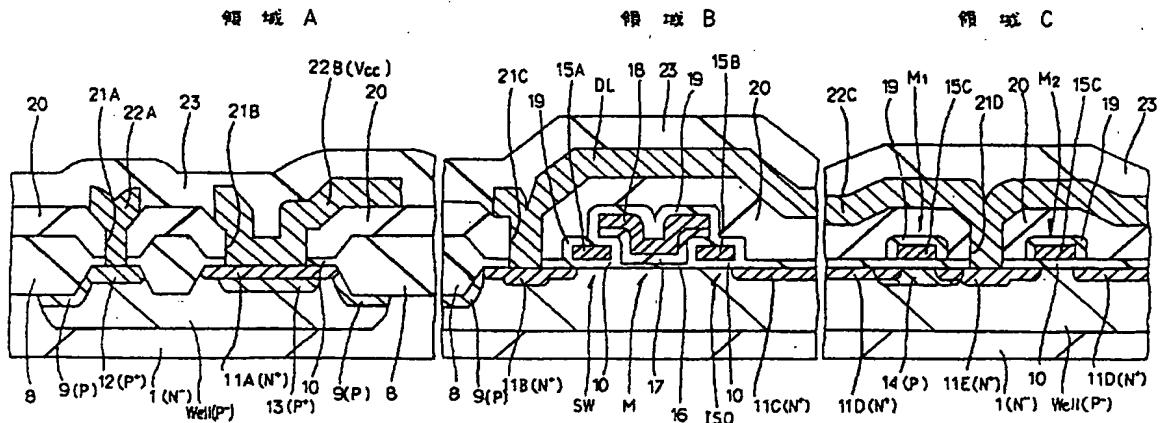
第2図



第4図

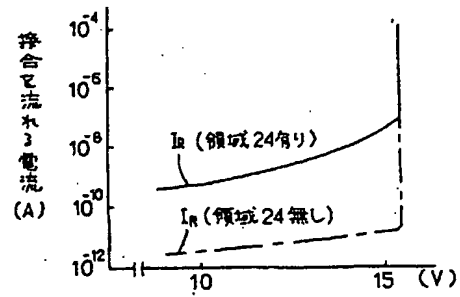


第 3 図

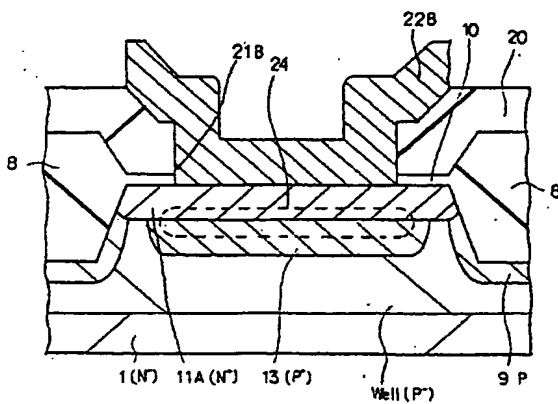


第 6 図

ダイオード D₂ の電圧電流特性

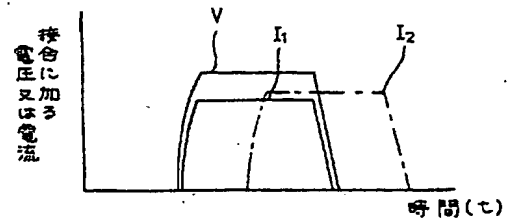


第 5 図

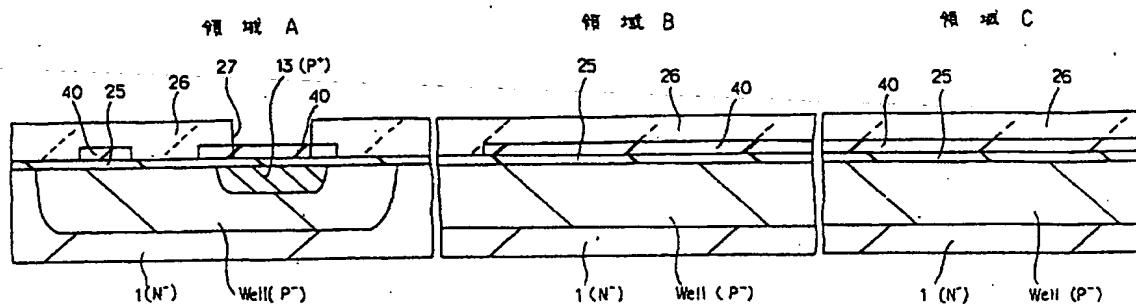


第 7 図

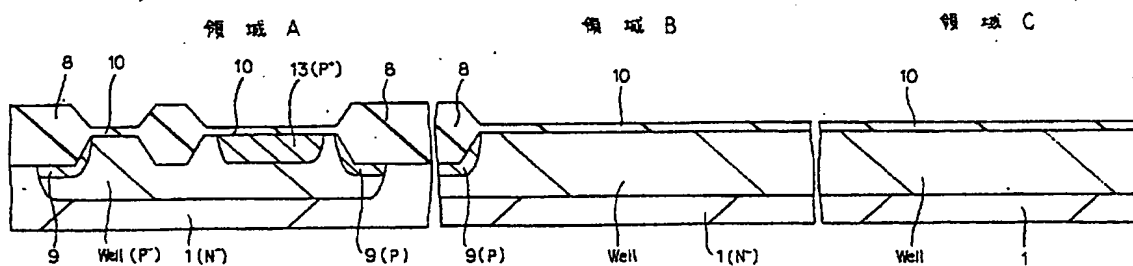
ダイオード D₂ の電圧と電流の位相特性



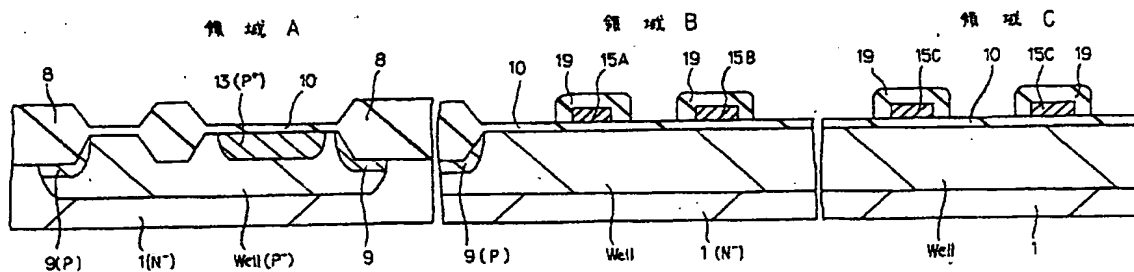
第8図



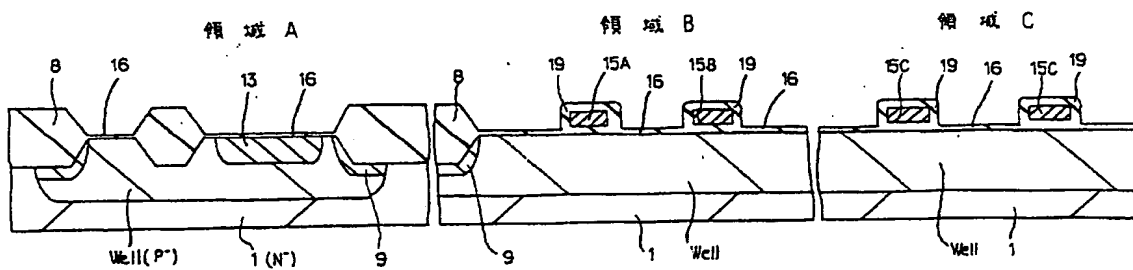
第9図



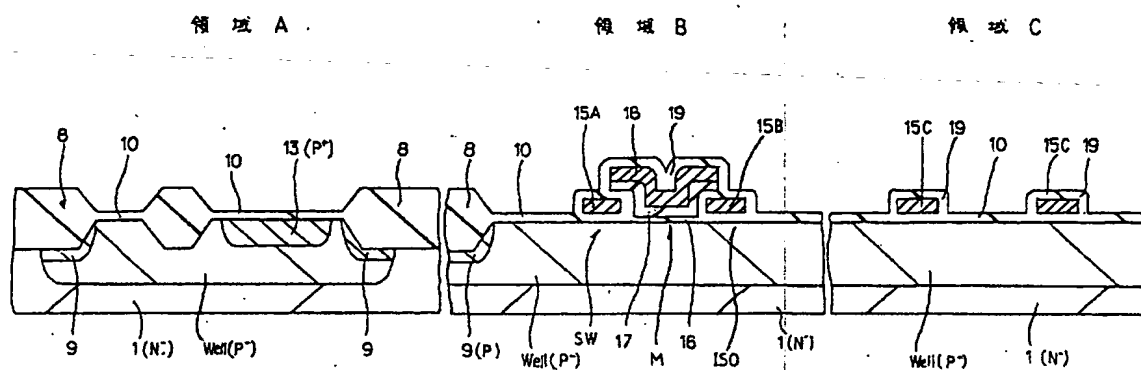
第10図



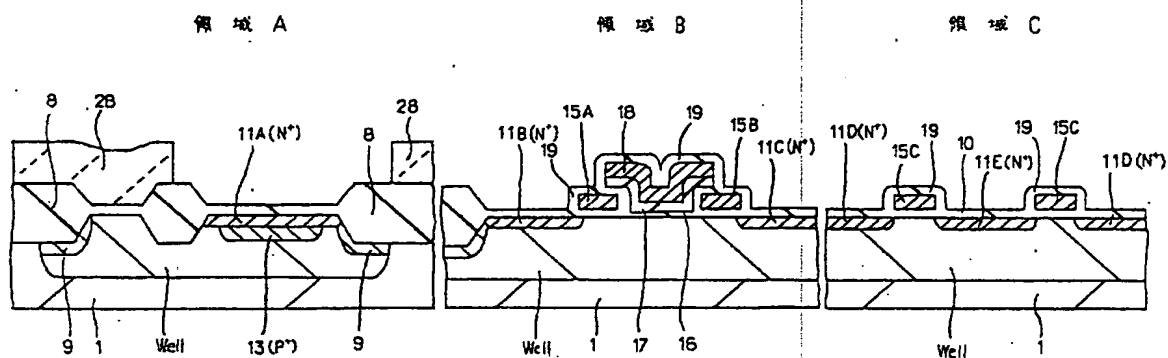
第11図



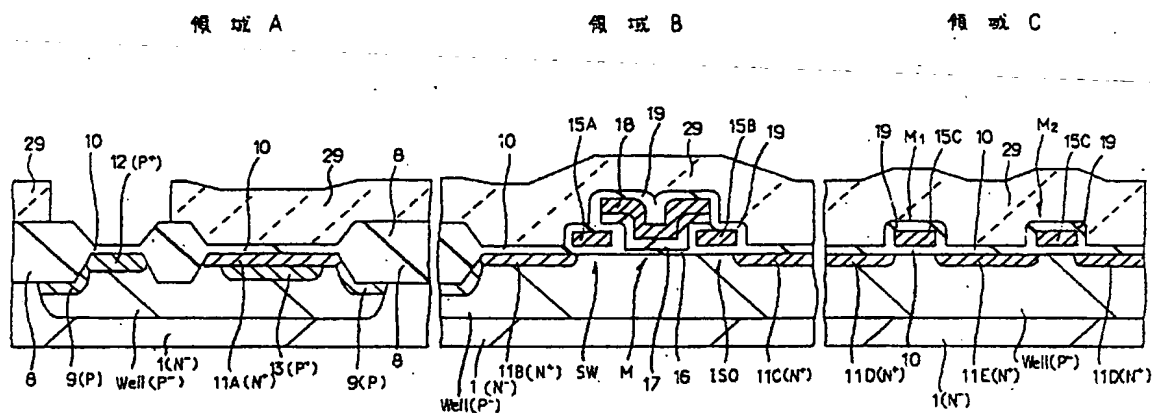
第 12 図



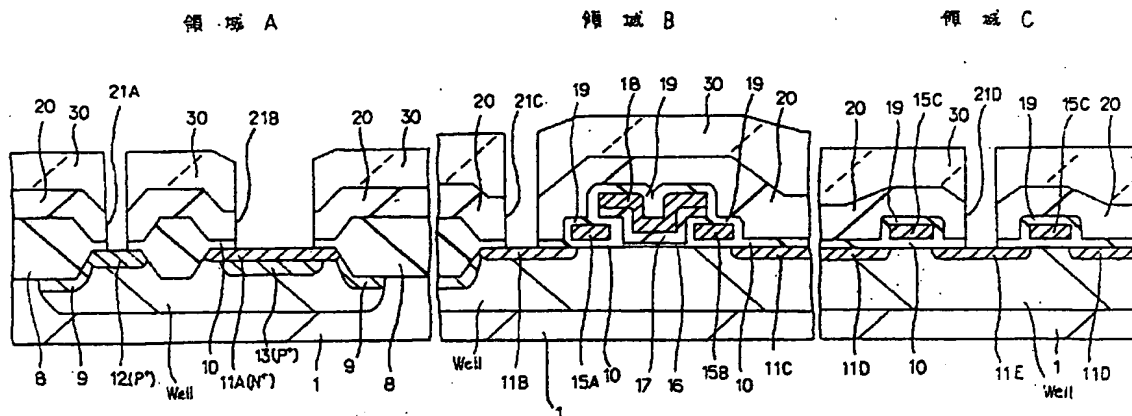
第 13 図



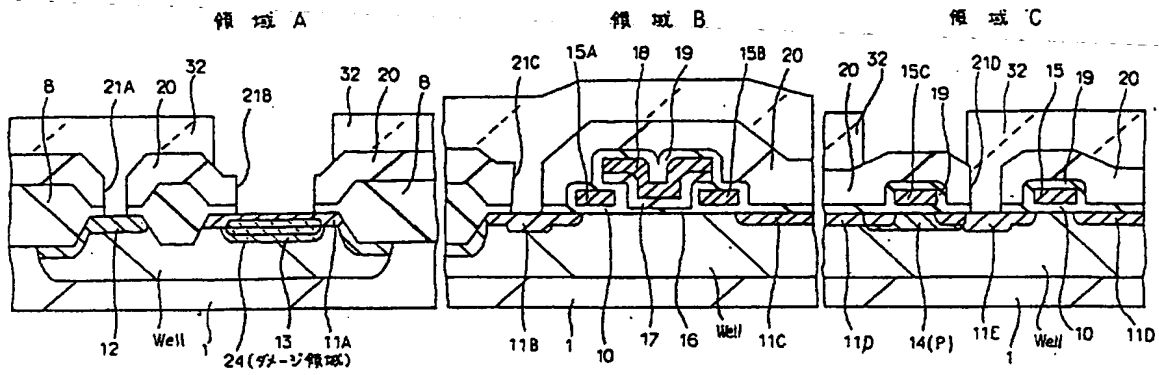
第14 図



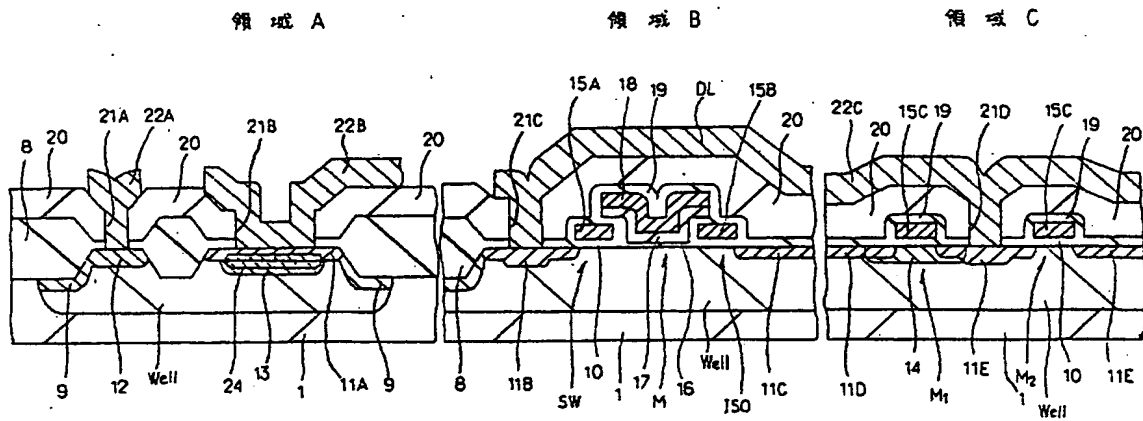
第15 図



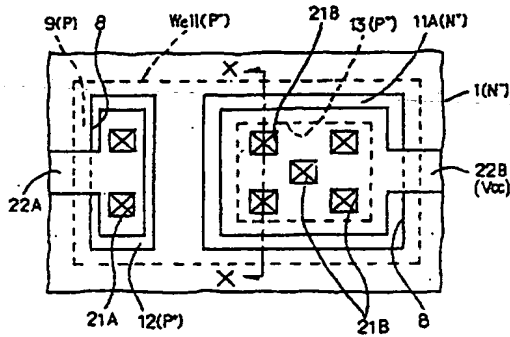
第16図



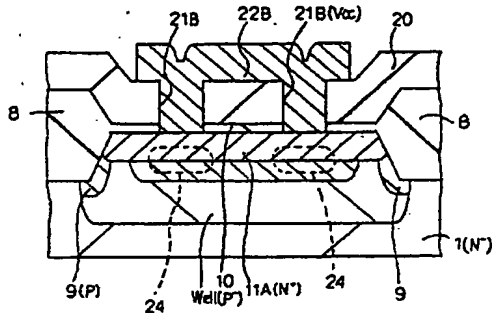
第17図



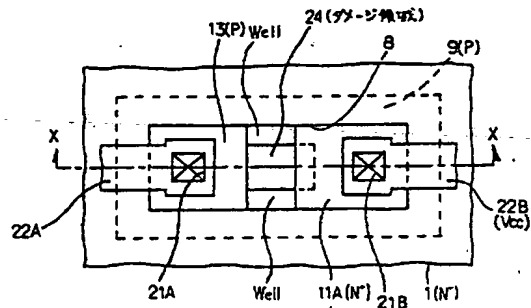
第18図



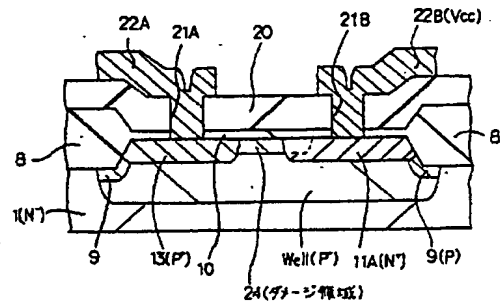
第19図



第20図



第21図



第1頁の続き

⑤Int.Cl.⁴H 01 L 29/78
29/91

識別記号

3 7 1

庁内整理番号

7514-5F
C-7638-5F

⑫発明者	長 沢	幸 一	東京都小平市上水本町1450番地	株式会社日立製作所武蔵工場内
⑫発明者	石 井	清 一	東京都小平市上水本町1450番地	株式会社日立製作所武蔵工場内
⑫発明者	岩 井	利 二	東京都小平市上水本町1450番地	株式会社日立製作所武蔵工場内
⑫発明者	神 垣	良 昭	東京都小平市上水本町1450番地	株式会社日立製作所武蔵工場内
⑫発明者	内 堀	清 文	東京都小平市上水本町1450番地	株式会社日立製作所武蔵工場内
⑫発明者	古 沢	和 則	東京都小平市上水本町1450番地	株式会社日立製作所武蔵工場内
⑫発明者	寺 沢	正 明	東京都小平市上水本町1448番地	日立超エル・エス・アイエンジニアリング株式会社内
⑫発明者	松 原	清	東京都小平市上水本町1450番地	株式会社日立製作所武蔵工場内

1. Title of the Invention

Method of manufacturing semiconductor integrated circuit device

2. Scope of Patent Claims

1. A method of manufacturing a semiconductor integrated circuit device, the method comprising steps of:

having a diode with a PN junction;

performing such high-temperature heat treatment at high temperature as to be cable of recovering a defect caused by ion implantation; and

then forming the defect by the ion implantation in the PN junction of said diode.

2. The method according to claim 1, wherein said high-temperature heat treatment is performed at about 900 to 1000 °C.

3. The method according to claim 1, wherein said diode is used as a limiter for a voltage generating circuit.

4. The method according to claim 1, wherein a voltage generating circuit is a high voltage generating circuit of an EPROM or an EEPROM.

5. The method according to claim 1, wherein said ion implantation is performed by forming an opening in said diode during a step of forming a connection hole in an interlayer insulation film.

6. The method according to claim 1, wherein said diode is provided in a well region.

7. The method according to claim 1, wherein said ion implantation is performed in the same step as that of performing the ion implanting for writing information in a mask ROM.

3. Detailed Description of the Invention

[Industrial Field of Utilization]

The present invention relates to a method of manufacturing a semiconductor integrated circuit device and, in particular, to a method of manufacturing a semiconductor integrated circuit device having a diode composed of a PN junction.

[Prior Art]

Nonvolatile memories include an EPROM (Electrically Programmable ROM) and an EEPROM (Electrically Erasable and Programmable ROM). Information is written to the EPROM and EEPROM by, as it is known, applying a high voltage of about 15V between a gate electrode and a drain of an MISFET constituting a memory cell. In recent years, the high voltage is obtained by providing a high voltage generating circuit in a semiconductor chip. The high voltage generating circuit is constituted such that a plurality of MISFETs formed in a diode form by connecting a gate electrode to a drain are cascade connected, respectively and a capacitative element is connected to the gate electrode of each of the MISFETs. A clock signal ϕ is applied to every other MISFETs via the capacitative element, and a clock signal $\bar{\phi}$ having a phase opposite to that of the above-described clock signal is applied to the other

MISFETs via the capacitative elements to alternately operate the MISFETs, thereby generating a high voltage. At an output terminal of the high voltage generating circuit, the voltage is boosted up to a withstanding voltage of a junction between the source and drain of the MISFET and a substrate, for example, about 22.3V. Consequently, an PN junction diode (hereinbelow, simply called a diode) is provided at the output stage of the high voltage generating circuit to thereby obtain a predetermined voltage, for example, 12.5V or 15V necessary to write or erase information. The diode is constituted such that a P⁺ well region is formed in the surface of a P⁻ well region and further an N⁺ region is formed in the surface of the P⁺ region. [Problems that the Invention is to solve]

Inventors of the present invention have conducted operation tests of both the high voltage generating circuit and the diode and found the following problems.

Since the diode is provided at the output stage of the high voltage generating circuit, the voltage is limited by the diode and a predetermined potential of 12.5V to 15V is supposed to be outputted. In practice, however, a voltage higher than the predetermined potential by a few volts is outputted. Consequently, when the writing or erasing of information to/from a memory cell is repeated, the gate insulating film of the MISFET which is the memory cell deteriorates very quickly.

The inventors of the present invention consider the mechanism of generating a high potential higher than the predetermined potential as follows.

Since the concentration of carriers in the well region in which the diode is formed is very low, a high potential higher than the predetermined potential is applied to the junction of the diode and can not have a breakdown simultaneously. A phase difference therefore occurs between the voltage applied to the junction of the diode and a current flowing in the junction, and thereby oscillation occurs. This oscillation generates noise and this is added to the output voltage of the high voltage generating circuit. Consequently, as described above, a high potential higher than the predetermined potential is outputted.

An object of the invention is to improve the reliability of a diode as a voltage limiter.

The above and other objects and novel features of the present invention will be apparent from the description of the specification and accompanying drawings.

[Means of solving the Problems]

The summary of a representative aspect of the invention disclosed in the present application will be briefly described as follows.

Specifically, a diode composed of a PN junction is provided and, after completion of a high-temperature heat treatment that recovers a defect formed by ion implantation, a defect is formed by ion implantation in the PN junction of the diode.

[Operation]

According to the above-mentioned means, a leakage current flowing in the diode increases and concentration of carriers

in the well region becomes higher, so that a breakdown immediately occurs when a high potential higher than the predetermined potential is applied to the diode. Consequently, there is no phase difference between a voltage applied to the junction and a current, and no oscillation occurs. Thus, the reliability of the diode as a limiter can be improved. In addition, a memory cell can be prevented from deteriorating.

[Embodiment of the Invention]

An embodiment of the present invention will be described hereinbelow by using the drawings.

Fig. 1 is a block diagram of a semiconductor integrated circuit device formed according to a manufacturing method of the embodiment of the present invention.

In Fig. 1, reference numeral 1 denotes a chip which is composed of N⁺ mono-crystalline silicon and which has a RAM (Random Access Memory) 2, a ROM (Read Only Memory) 3, an EEPROM 4, and a CPU (Central Processing Unit) 5.

Fig. 2 shows an outline of the EEPROM circuit.

In Fig. 2, reference numeral 6 denotes a high voltage generating circuit provided for the semiconductor integrated circuit device of the present embodiment, which is constituted, as it is known, to connect a plurality of P-channel MISFETs Q_p and a plurality of capacitative elements C thereto. The term, ϕ , indicates a first clock signal and the term, $\bar{\phi}$, represents a second clock signal having a phase opposite to that of the first clock signal. Both signals are applied to terminals of the capacitative elements C. When the high voltage

generating circuit is driven by the first clock signal ϕ and the second clock signal $\bar{\phi}$, a negative high voltage of about -10V is obtained on an output side of the circuit, that is, a side to which a diode D_2 is connected. A side opposite to the above-mentioned output side is fixed to an earth potential V_{ss} , for example, 0V.

The diode D_2 is a limiter of a high voltage generated by the high voltage generating circuit. One end of the diode D_2 is fixed to a power supply potential V_{cc} , for example, 5V and the other end is connected to the output stage of the high voltage generating circuit 6. The diode D_2 is formed by, as will be described hereinlater, a PN junction. When a predetermined potential, for example, a high voltage of 15V or higher is applied across the diode D_2 , a breakdown occurs to thereby prevent a potential difference (15V) which is equal to or higher than the predetermined potential, from being applied to a switch MISFET SW of a memory cell and an information memory MISFET M. A potential difference equal to or higher than the power supply potential V_{cc} is not applied to a cell isolation MISFET ISO, from the viewpoint of operation of the circuit. The switch MISFET SW, information memory MISFET M, and cell isolation MISFET ISO constituting the memory cell are formed in the P well.

The potentials applied to the well, a data line DL, a first word line WL_1 , a second word line WL_2 , and a third word line WL_3 are shown in Table (1) at the end of the embodiment.

P channel MISFETs Q_{p1} and Q_{p2} are provided between the high

voltage generating circuit 6 and the well. At the time of writing information, the MISFET Q_{P1} is turned on, the MISFET Q_{P2} is turned off, and an output (-10V) of the high voltage generating circuit 6 is applied to the well. At the time of reading information, the MISFET Q_{P1} is turned off and the MISFET Q_{P2} is turned on to make the well the earth potential V_{SS} , for example, 0V. On the other hand, between the well and the power supply potential V_{CC} , for example, 5V power supply, an N channel MISFET Q_{N1} and P channel MISFETs Q_{P3} and Q_{P4} are provided as shown in Fig. 2. At the time of erasing information, the MISFETs Q_{N1} and Q_{P3} are turned on, the MISFET Q_{P4} is turned off, and the power supply potential V_{CC} is applied. At the time of writing and reading information, the MISFETs Q_{N1} , Q_{P3} and Q_{P4} are turned off, respectively. The output terminal of the high voltage generating circuit 6 is also connected, via a resistive element R constituted by connecting the gate electrode of a P-channel MISFET to the source or drain, to: a P channel MISFET Q_{P5} provided between the output terminal and the data line DL; a P channel MISFET Q_{P6} provided between the output terminal and the first word line WL_1 ; a P channel MISFET Q_{P7} provided between the output terminal and the second word line WL_2 ; and a P channel MISFET Q_{P8} provided between the output terminal and the third word line L_3 , respectively. In addition to the MISFET Q_{P5} , a P channel MISFET Q_{P13} is provided between the data line DL and an Y decoder 33. At the time of writing information, the MISFET Q_{P5} in the data line DL connected to the memory cell to which information is written is turned on, the MISFET Q_{P13} is turned off, and an

output (-10V) of the high voltage generating circuit 6 is applied. In the data line DL connected to a (writing prohibition) memory cell in which information is not written at the time of writing information, by turning off the MISFET Q_{P5} and turning on the MISFET Q_{P13} , the power supply potential V_{cc} is applied by a circuit in the Y decoder 33. At the time of reading information, in any of the data lines DL, by turning off the MISFET Q_{P5} and turning on the MISFET Q_{P13} , the power supply potential V_{cc} is applied to the data line DL by the circuit in the Y decoder 33. At the time of erasing information, in any of the data lines DL, by turning off the MISFET Q_{P5} and turning on the MISFET Q_{P13} , the power supply potential V_{cc} is applied to the data line DL by the circuit in the Y decoder 33. In addition to the MISFET Q_{P6} , a P channel MISFET Q_{P9} is provided between the first word line WL_1 and an X decoder 34. At the time of writing information, in each of the first word line WL_1 of a memory cell in which information is written and the first word line WL_1 of a memory cell with writing prohibition, the MISFET Q_{P6} is turned off, the MISFET Q_{P9} is turned on, and the power supply potential V_{cc} is applied via the circuit in the X decoder 34. Moreover, at the time of reading information, the MISFET Q_{P5} is turned off, the MISFET Q_{P9} is turned on, and the power supply potential V_{cc} is applied by the circuit in the X decoder 34. At the time of the erasing information, the MISFET Q_{P6} is turned off, the MISFET Q_{P9} is turned on, and the power supply potential V_{cc} or the earth potential V_{ss} is set by the circuit in the X decoder 34. In the second word line WL_2 , in

addition to the MISFET Q_{P7} , a P channel MISFET Q_{P10} is provided. In each of the second word line WL_2 connected to the memory cell in which information is written at the time of writing information and the second word line WL_2 connected to a memory cell with writing prohibition, the MISFET Q_{P7} is turned off, the MISFET Q_{P10} is turned on, and the power supply potential V_{CC} is applied. At the time of erasing information, in any of the second word lines WL_2 , the MISFETs Q_{P7} is turned on, the MISFET Q_{P10} is turned off, and the output (-10V) of the high voltage generating circuit 6 is applied. At the time of reading information, the MISFET Q_{P7} is turned off, the MISFET Q_{P10} is turned on, and the earth potential V_{SS} is set by the circuit in the X decoder 34. In addition to the MISFET Q_{P8} , a P channel MISFET Q_{P11} is provided between the third word line WL_3 and the X decoder 34. At the time of writing information, in each of the third word line WL_3 connected to a memory cell in which information is written and the third word line WL_3 connected to a memory cell with writing prohibition, the MISFET Q_{P8} is turned on, the MISFET Q_{P11} is turned off, and the output (-10V) of the high voltage generating circuit is applied. At the time of erasing information, in any of the third word lines WL_3 , the MISFET Q_{P8} is turned off, the MISFET Q_{P11} is turned on, and the power supply potential V_{CC} or the earth potential V_{SS} is applied by the circuit in the X decoder 34. At the time of reading, in each of the third word lines WL_3 , the MISFET Q_{P8} is turned off, the MISFET Q_{P11} is turned on, and the power supply potential V_{CC} is set by the circuit in the X decoder 34. A switch formed

by a P channel MISFET Q_{P12} and an N channel MISFET Q_{N2} is connected to the source or drain of the cell isolation MISFET ISO of the memory cell. At the time of erasing information, the MISFET Q_{P12} is turned on, the MISFET Q_{N2} is turned off, and the earth potential V_{cc} is set. Also, at the time of reading information, the MISFET Q_{N2} is turned on, the MISFET Q_{P12} is turned off, and the earth potential V_{ss} is set.

A cross section of the diode D_2 in Fig. 2 is shown in a region A of Fig. 3, a cross section of the memory cell of the EEPROM is shown in a region B, and a cross section of a memory cell of a mask ROM provided in the ROM region 3 in Fig. 1 is shown in a region C. The cross section of the diode D_2 in the region A is taken along the cut line Y-Y of the plane view of the diode D_2 shown in Fig. 4.

The diode D_2 is formed in a P^- well so as to be isolated from the P^- well in the regions B and C, and is constituted by an N^+ semiconductor region 11A in a surface of the well and a P^+ semiconductor region 13 which is in contact with and formed under the N^+ semiconductor region 11A. A portion containing the N^+ semiconductor region 11A and the P^+ semiconductor region 13 is enlarged and shown in Fig. 5. In the N^+ semiconductor region 11A, an interlayer insulation film 20 is removed to form a connection hole 21B therein. In the connection hole 21B, a wire 22B formed by an aluminum film is connected to the N^+ semiconductor region 11A, so that the power supply potential V_{cc} is supplied to the N^+ semiconductor region 11A through the connection hole 21B. On the other hand, a P^+ semiconductor

region 12 is formed in a portion that is isolated from the N^+ semiconductor region 11A and the P^+ semiconductor region 13 in the surface of the P^- well. An aluminum wire 22A extended from the output terminal of the high voltage generating circuit 6 is connected via a connection hole 21A to the P^+ semiconductor region 12. Consequently, when the output of the high voltage generating circuit 6 becomes -10V, a breakdown voltage thereof, for example, 15V is applied across the diode D_2 . The periphery of the N^+ semiconductor region 11 is defined by a field insulating film 8. A periphery of the P^+ semiconductor region 13 is smaller than that of the N^+ semiconductor region 11A so as not to reach the field insulating film 8. This is because carriers generated at the time of a breakdown are prevented from jumping into the field insulating film 8. A phosphor-silicate glass (PSG) film is stacked on an oxide silicon film by, for example, low-pressure CVD to constitute the interlayer insulation film 20. The connection hole 21B is formed in a size that is slightly smaller than the P^+ semiconductor region 13. By implanting ions through the connection hole 21B, as shown in Fig. 5, a damage region 24 is formed in the junction between the N^+ semiconductor region 11A and the P^+ semiconductor region 13.

Fig. 6 shows voltage-current characteristics of the diode D_2 . Fig. 7 shows a relationship between phase characteristics of the voltage V and the current I at the time of a breakdown. I_R of Fig. 6 denotes a leakage current of the diode D_2 which is always flowing from the time when a voltage applied to the diode

D_2 becomes a breakdown voltage, for example, 15V or lower. The leakage current I_R of the case where the damage region 24 is formed is shown by a solid line while the leakage current I_R of the case where the damage region 24 is not formed is shown by a single dot and dash line. The leakage current I_R in the case where the damage region 24 is formed becomes larger than that in the case where the damage region 24 is not formed. Consequently, when the number of carriers (positive holes) in the P⁻ well increases and a breakdown voltage is applied across the diode D_2 , a breakdown immediately occurs. As shown in Fig. 7, there is consequently no phase difference between the voltage V applied to the PN junction at the time of the breakdown and the current I_1 flowing in the PN junction, and the diode D_2 does not oscillate. Noises are not added to a high voltage created by the high voltage generating circuit 6, and thereby a predetermined high voltage of, for example, -10V can be obtained. I_R shows a current flowing in the junction at the time of a breakdown when the damage region 24 is not formed, and shows that there is a deviation in time from the voltage V applied to the junction.

The switch MISFET SW in the memory cell is constituted by, as shown in the region B in Fig. 3, a gate insulating film 10 which is an oxide silicon film having a thickness of about 350 Å, a gate electrode (first word line WL_2) composed of, for example, a first poly-crystalline silicon film, and an N⁺ semiconductor region 11B serving as the source or drain of the memory cell. The data line DL formed by aluminum film is

connected to the N^+ semiconductor region 11B via a connection hole 21C. The information memory MISFET M is constituted by an extremely thin oxide silicon film 16 of about 20\AA , a silicon nitride film 17 having a thickness of about 350\AA , and a gate electrode 18 (second word line WL_2) composed of, for example, a second poly-crystalline silicon film. The cell isolation MISFET ISO is composed of the gate insulating film 10 formed by an oxide silicon film having a thickness of about 350\AA , a gate electrode 15B (third word line WL_3) which is formed by, for example, the first poly-crystalline silicon film, and an N^+ semiconductor region 11C serving as the drain or source of the memory cell. Reference numeral 19 denotes an oxide silicon film formed by thermal oxidizing the surface of each of the gate electrodes 15A, 15B, and 18.

As described above, the memory cell has the very thin insulating films 10, 16, and 17. In the present application, however, the output voltage of the high voltage generating circuit 6 is satisfactorily clamped at a predetermined voltage (for example, $-10V$) by the diode D_2 , deterioration can be prevented without applying a predetermined high potential, for example, a voltage of $15V$ or higher to the thin insulating films 15A, 15B, and 17. The P^- well which constitutes the switch MISFET SW, information memory MISFET M, and cell isolation MISFET ISO is isolated from the P^- well which constitutes the diode D_2 , the P^- well which constitutes the memory cell of the mask ROM be described hereinafter is formed, and the P^- well for constituting another N channel MISFET not shown.

Each of memory cells M_1 and M_2 of the mask ROM in the region C is constituted by the gate insulating film 10, a gate electrode 15C which is composed of, for example, the first polycrystalline silicon film, an N^+ semiconductor region 11D serving as the source region, and an N^+ semiconductor region 11E serving as the drain region. For writing information, a P type semiconductor region 14 is formed by ion implantation in the channel region of the memory cell M_1 . A wire 22C formed by an aluminum film as a data line is connected to an N^+ semiconductor region 11E via a connection hole 21D. The surface of the gate electrode 15C is covered with a thermal oxide silicon film 19. All of the regions A, B, and C, that is, the entire region on the substrate 1 is covered with a final protective film 23 constituted by forming a PSG film by, for example, plasma CVD and stacking a silicon nitride film.

As described above, the leakage current flowing in the diode increases and the concentration of carriers in the well region becomes higher. Consequently, when a high potential which is equal to or higher than a predetermined potential is applied to the diode, a breakdown immediately occurs. There becomes no phase difference between the voltage applied to the junction and the current, and thereby no oscillation occurs. Thus, the reliability of the diode as a limiter can be improved, and the memory cell can be prevented from deteriorating.

A process of manufacturing the diode D_2 , switch MISFET SW, information memory MISFET M, cell isolation MISFET ISO, and the memory cells M_1 and M_2 in the mask ROM will now be described.

Figs. 8 to 17 are cross sections of the regions A, B, and C in the manufacturing process.

As shown in Fig. 8, an oxide silicon film 25 is formed as an underlayer by thermal oxidizing a surface of the substrate 1. A silicon nitride film 40 is formed on the oxide silicon film 25. Thereafter, the P⁻ well is formed in each of the regions A, B, and C so as to be isolated from each other by known ion implantation and thermal diffusion. Subsequently, implantation of P-type impurities, for example, boron for forming a P channel stopper 9 is performed in a predetermined region by known ion implantation. A mask 26 composed of a resist film of a pattern having an opening 27 in a portion where the P⁺ region 13 of the diode D₂ in the region A is created is formed. For example, boron (B) is introduced to the surface of the P⁻ well via the opening 27 at about 125 KeV and $1 \text{ to } 3 \times 10^{13} \text{ atoms/cm}^2$, thereby forming the P⁺ semiconductor region 13. Thereafter, the mask 26 is removed.

As shown in Fig. 9, the P channel stopper 9 and the field insulating film 8 are formed by locally oxidizing the surface of the substrate 1 (including the P⁻ well) by thermal oxidization of about 1000 °C. At the time of the local thermal oxidization, activation of the P⁺ semiconductor region 13 is attempted. The oxide silicon film 25 and the silicon nitride film 40 in Fig. 8 are removed, and then the surface exposed from the field insulating film 8 of the substrate 1 is thermal oxidized to thereby form the gate insulating film 10.

As shown in Fig. 10, the first poly-crystalline silicon

film is formed on the entire face of the substrate 1 by, for example, CVD and is patterned by etching using a mask which is composed of a resist film, thereby forming the gate electrodes 15A, 15B, and 15C. After the mask is removed, the surface of each of the gate electrodes 15A, 15B, and 15C is thermal oxidized, thereby forming the oxide silicon film 19. Subsequently, the oxide silicon film 19 and the gate insulating film 10 are etched to expose portions exposed from the oxide silicon film 19 and the gate electrodes 15A, 15B, and 15C of the surface of the substrate 1. At this time, since the oxide silicon film 19 is thicker than the gate insulating film 10, the oxide silicon film 19 remains on the surfaces of the gate electrodes 15A, 15B, and 15C.

As shown in Fig. 11, the portions exposed from the oxide silicon film 19 and the gate electrodes 15A, 15B, and 15C, of the surface of the substrate 1 are thermal oxidized, thereby forming the extremely thin oxide silicon film 16 of about 20Å of the information memory MISFET M.

As shown in Fig. 12, the silicon nitride film 17 is formed on the entire surface of the substrate 1 by, for example, plasma CVD. Further, the second poly-crystalline silicon film 18 is formed on the silicon nitride film 17. Thereafter, the poly-crystalline silicon film 18 is patterned by etching using the mask composed of the resist film to form the gate electrode 18. Subsequently, the silicon nitride film 17 is patterned. The mask composed of the resist film is removed after being etched. The surface of the gate electrode 18 is then thermal

oxidized, thereby forming the oxide silicon film 19. At this time, the portions exposed from the gate electrodes 15A, 15B, and 15C and the oxide silicon film 19, of the surface of the substrate 1 are oxidized, and the gate insulating film 10 thicker than the thin oxide silicon film 16 is obtained.

As shown in Fig. 13, a mask 28 composed of a resist film of a pattern covering regions in which the P channel MISFET and the P-type semiconductor region are provided is formed on the substrate 1. By ion implantation to the surface of the substrate 1, for example, As to introduce ions of about 10^{15} to 10^{18} atoms/cm², the N⁺ semiconductor region 11A as a part of the diode D₂, the N⁺ semiconductor regions 11B, 11C, 11D, and 11E as sources and drains of N channel MISFETs, and sources and drains of other N channel MISFETs not shown are formed. After the mask 28 is removed, by performing N₂ annealing at about 1000 °C, activation of the sources and drains of the N⁺ semiconductor regions 11A, 11B, 11C, 11D, and 11E, and other N channel MISFETs not shown is attempted.

As shown in Fig. 14, a mask 29 composed of a resist film covering the N⁺ semiconductor regions 11A, 11B, 11C, 11D, and 11E, and the N channel MISFET are formed on the substrate 1. By ion implantation to introduce P type impurities, for example, boron of about 10^{15} to 10^{18} atoms/cm² to the surface of the substrate 1, the P⁺ semiconductor region 12 as a lead region of the diode D₂ and the source and drain of a P channel MISFET (not shown) are formed. Thereafter, the mask 29 is removed.

Subsequently, as shown in Fig. 15, an oxide silicon film

is formed on the substrate 1 by, for example, low-pressure CVD, and a PSG film is stacked on the oxide silicon film, thereby forming the interlayer insulation film 20. Thereafter, by N₂ annealing or H₂ annealing of about 900 to 950 °C, the interlayer insulation film 20 is hardened. Subsequently, a mask 30 composed of a resist film is formed on the interlayer insulation film 20 and the interlayer insulation film 20 is etched, thereby forming the connection holes 21A, 21B, 21C, and 21D and connection holes of other MISFETs not shown. Thereafter, the mask 30 is removed.

In the semiconductor integrated circuit device of the embodiment, the annealing of high temperature of 900 °C to 1000 °C is performed up to here.

Next, as shown in Fig. 17, a connection hole 21B is formed at the diode D₂ in the region A, and a mask 32 is formed composed of a resist film having an opening in a portion of the memory cell M₁ in which information of a mask ROM is written. By introducing P-type impurities, for example, boron at 300 keV and 5×10^{12} atoms/cm², a damage region 24 is formed in the region A, and the P type semiconductor region 14 is formed in the channel region of the memory cell M₁ in the region C. In such a manner, the damage region 24 of the diode D₂ can be formed in the same process of writing information to the mask ROM.

As shown in Fig. 18, an aluminum film is formed on the entire face of the substrate 1 by, for example, sputtering and is patterned by etching using a mask composed of a resist film, thereby forming the wires 22A, 22B, and 22C, the data line DL,

and other aluminum wires not shown. The mask comprising the resist film is removed after the patterning. Thereafter, H_2 annealing of about $450^\circ C$ is performed. As shown in Fig. 3, a silicon nitride film is stacked on the PSG film by, for example, plasma CVD, thereby forming the final protective film 23.

As described above, after the aluminum wires 22A, 22B, and 22C and the data line DL, are formed, since the defect of the damage region 24 formed in the diode D_2 is not recovered by means of the annealing of about $450^\circ C$, the characteristics of the diode D_2 can be improved.

And, by performing the ion implantation both for writing information to the mask ROM and for forming the damage region 24 in the diode D_2 , the manufacturing process can be shortened.

As shown in Fig. 18 and Fig. 19 which is a cross section taken along the cut line X-X of Fig. 18, the damage region 24 may be formed by opening a plurality of connection holes 21B and by introducing boron by means of ion implantation in the same process as that of the foregoing embodiment. The damage region 24 is formed under each of the connection holes 21B. Note that Fig. 18 does not show the final protective film 23.

As shown in Fig. 20 and Fig. 21 which is a cross section taken along the cut line X-X of Fig. 20, the diode D_2 may be of such a surface type that a current flows in the lateral direction through the surface of the well. The P^+ semiconductor region 13 and the N^+ semiconductor region 11A are formed so as to be isolated from each other in the surface of the well. The damage region 24 composed of a P type semiconductor region is

formed between the regions 13 and 11A by the same process as that in the foregoing embodiment. In this case, however, without opening the upper part of the damage region 24 in the interlayer insulation film 20, the damage region 24 is formed in the same process as that of writing information to the mask ROM. The damage region 24 is formed so as to be overlapped with the P⁺ semiconductor region 13 and the N⁺ semiconductor region 11A. Note that the final protective film 23 is not shown.

As described above, the invention has been specifically described on the basis of the embodiment. It goes without saying that the invention is not limited to the embodiment but can be variously changed without departing from the scope of the invention.

For instance, the diode which is a limiter of the high voltage generating circuit of the EPROM can be changed or modified too.

Table (1)

	writing	write-inhibited	Erasing	reading
Well	-10	-10	5	0
WL ₁	5	5	5 or 0	5
WL ₂	5	5	-10	0
WL ₃	-10	-10	5 or 0	5
DL	-10	5	5	5
GND	arbitrary	arbitrary	5	0

unit: voltage [V]

The following is blank.

[Effects of the Invention]

Effects obtained by the representative aspect of the invention disclosed in the present application will be briefly described as follows.

In a diode having a PN junction, after completion of such heat treatment at high temperature as to be capable of a recovering a defect caused by ion implantation, the defect is formed by ion implantation to the PN junction, and thereby a leakage current flowing in the diode is increased and the concentration of carriers is increased in a well region in which the diode is formed. Consequently, immediately after a potential higher than a predetermined potential is applied to the diode, a breakdown can be caused. Thus, the reliability of the diode can be increased. Further, deterioration in the memory cell to which the voltage of the high voltage generating circuit is applied can be prevented.

4. Brief Description of the Drawings

Fig. 1 is a block diagram showing a semiconductor chip.

Fig. 2 is a schematic diagram showing a circuit of an EEPROM.

Fig. 3 is a cross section showing each of a diode, a memory cell of the EEPROM, and a memory cell of a mask ROM.

Fig. 4 is a plane view showing the diode.

Fig. 5 is a cross section showing an enlarged PN junction portion of the diode.

Fig. 6 is a graph showing electricity-current characteristic of the diode.

Fig. 7 is a graph showing the phase characteristics of a voltage and a current at the time of a breakdown of the diode.

Figs. 8 to 17 are cross sections showing each of the diode, the memory cell of the EEPROM, and the memory cell of the mask ROM in manufacturing processes.

Fig. 18 is a plane view showing a modification of the diode.

Fig. 19 is a cross section taken along the cut line X-X of Fig. 18.

Fig. 20 is a plane view showing a surface type diode.

Fig. 21 is a cross section showing the diode taken along the cut line X-X of Fig. 20.

In the drawings:

1 ... substrate,

Well ... P⁻ well,

6 ... high voltage generating circuit,

D₂ ... diode,

SW ... switch MISFET,

M ... information memory MISFET,

ISO ... cell isolation MISFET,

10 ... gate insulating film,

11A, 11B, 11C, 11D, and 11E ... N⁺ semiconductor region,

12, 13, and 14 ... P⁺ semiconductor region,

15A, 15B, 15C, and 18 ... gate electrode,

16 ... extremely thin oxide silicon film,
17 ... silicon nitride film,
20 ... interlayer insulation film (PSG/SiO₂),
21A, 21B, 21C, and 21D ... connection hole,
22A, 22B, and 22C ... aluminum wire,
24 ... damage region.

Fig. 1

- 1---基板
 Well---Pウエル
 6---高電圧発生回路
 Dz---ダイオード
 SW---スイッチMISFET
 M---情報記憶MISFET
 ISO---セル分離MISFET
 10---ゲート絶縁膜
 11A, 11B, 11C, 11D, 11E---N⁺半導体領域
 12, 13, 14---P⁺半導体領域
 15A, 15B, 15C, 16---ゲート電極
 16---極めて薄い酸化シリコン膜
 17---窒化シリコン膜 (PSG/SiO₂)
 20---層間絶縁膜
 21A, 21B, 21C, 21D---接続孔
 22A, 22B, 22C---アルミニウム配線
 24---ダメージ領域

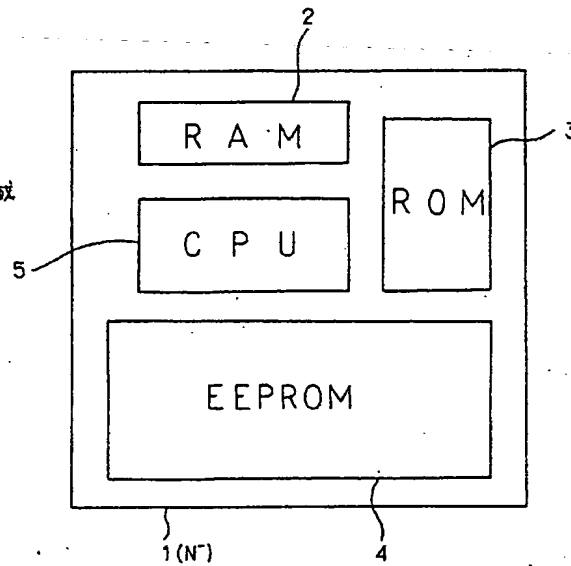


Fig. 2

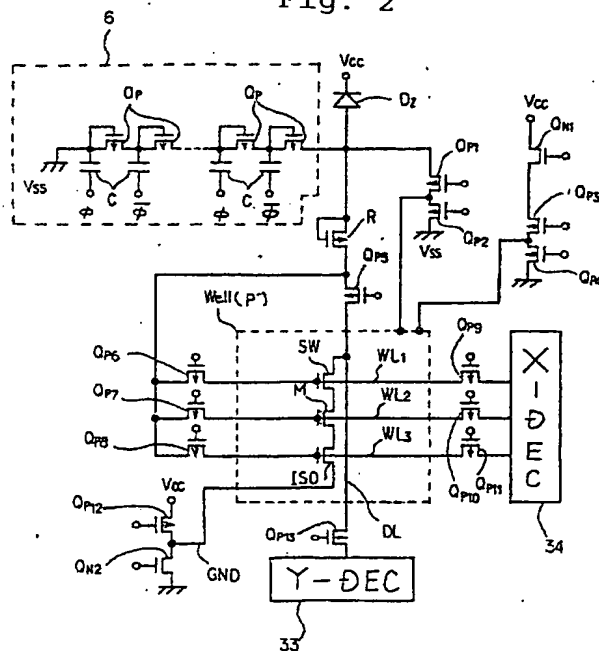


Fig. 4

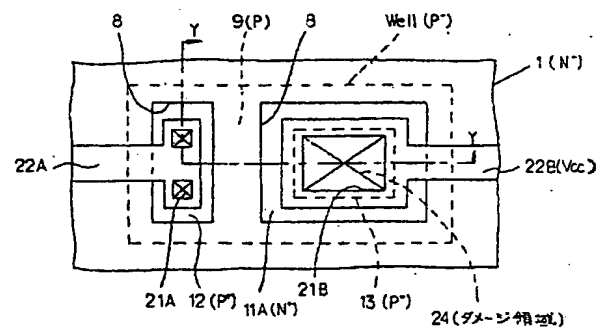


Fig. 3

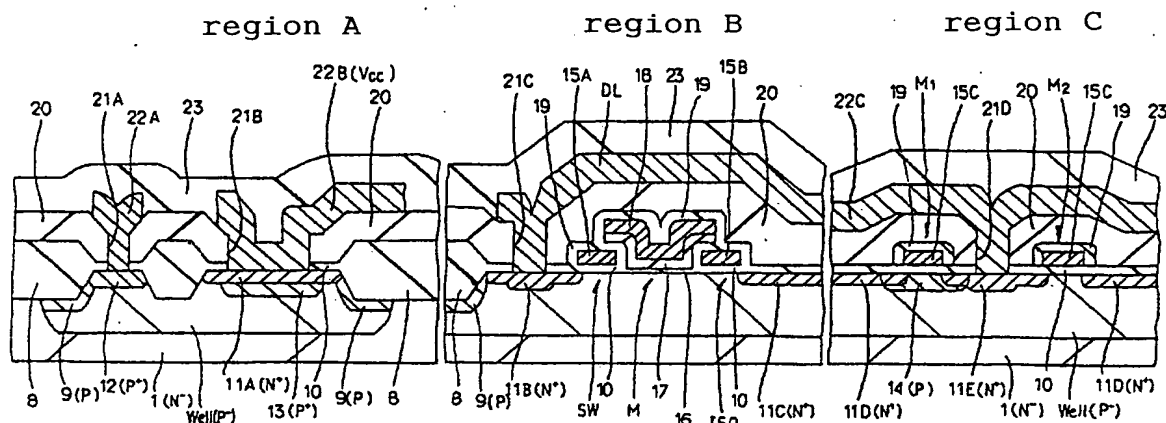


Fig. 6

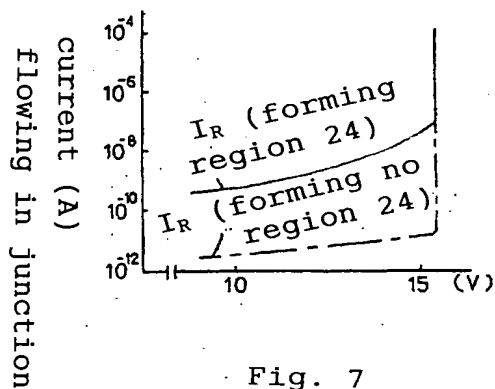
voltage-current characteristics of diode D₂

Fig. 5

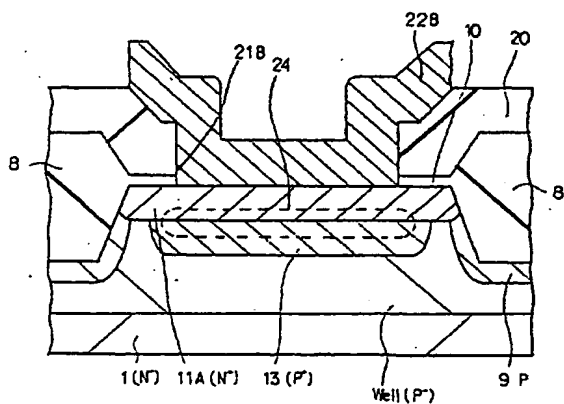


Fig. 7

phase characteristics of
voltage and current of diode D_2

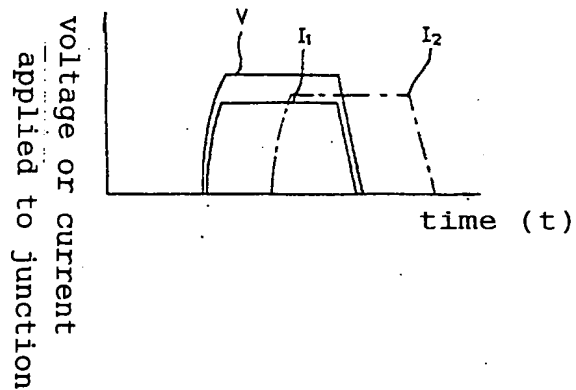


Fig. 8

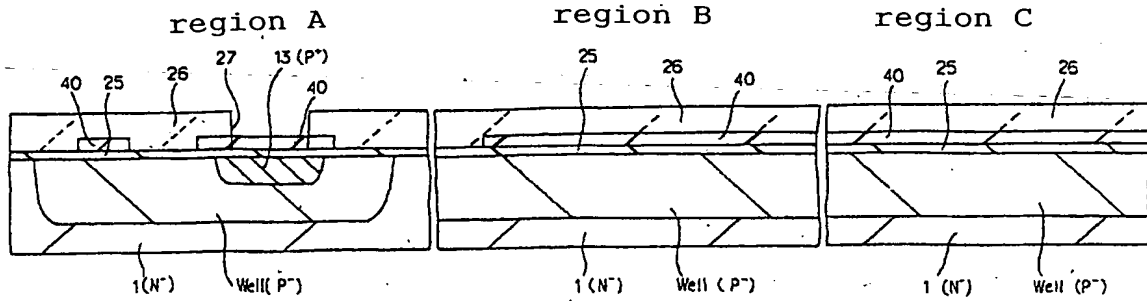


Fig. 9

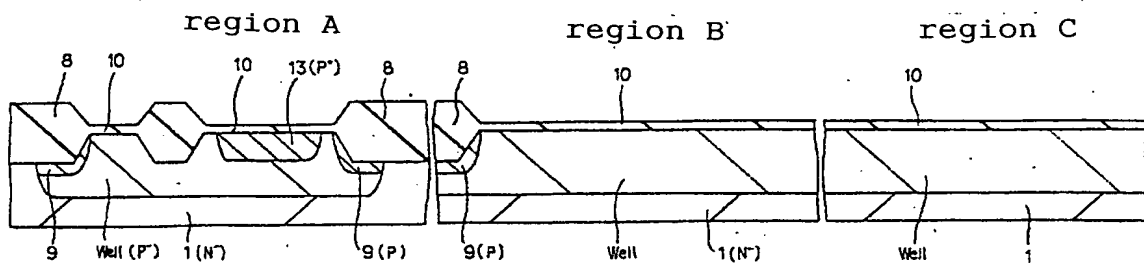


Fig. 10

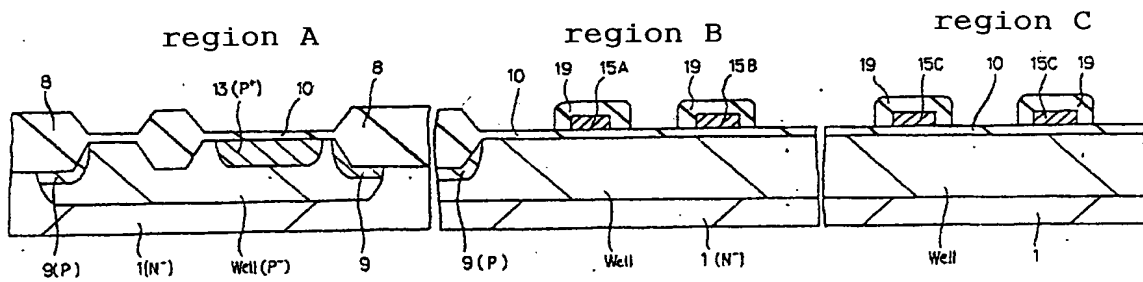


Fig. 11

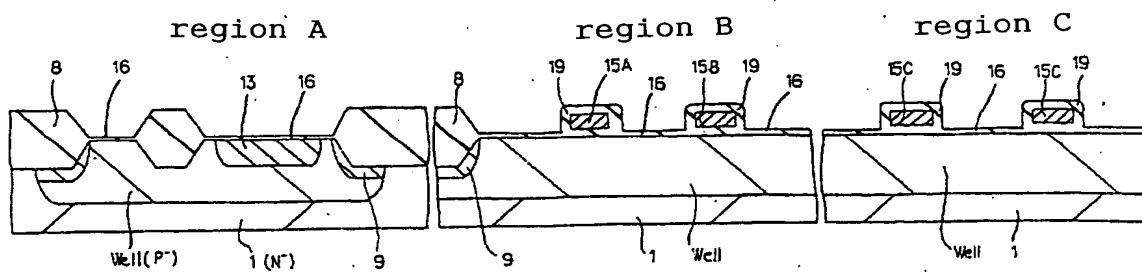


Fig. 12

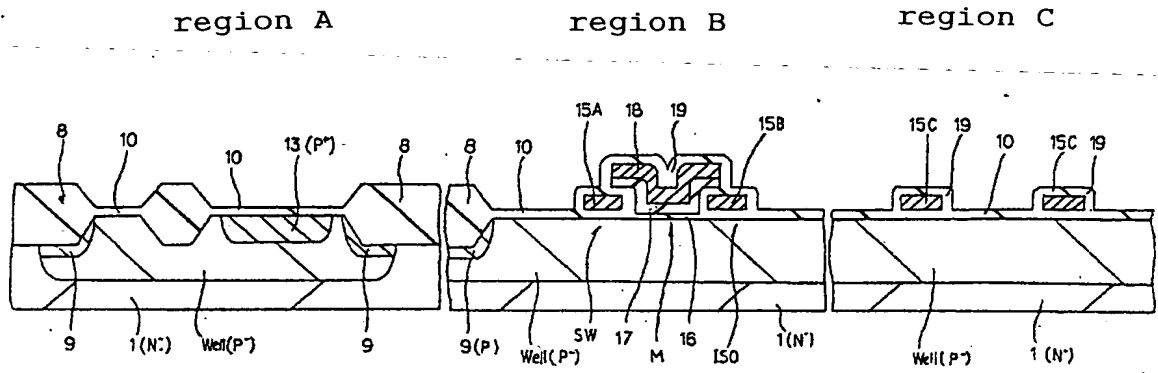


Fig. 13

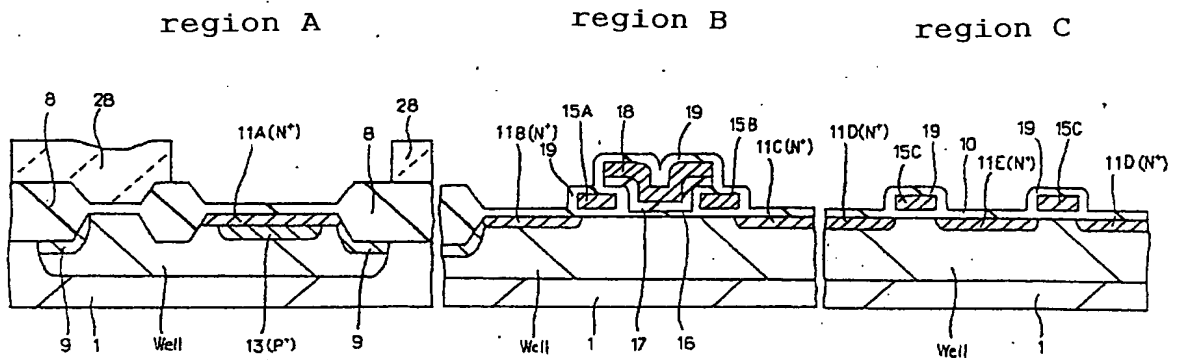


Fig. 14

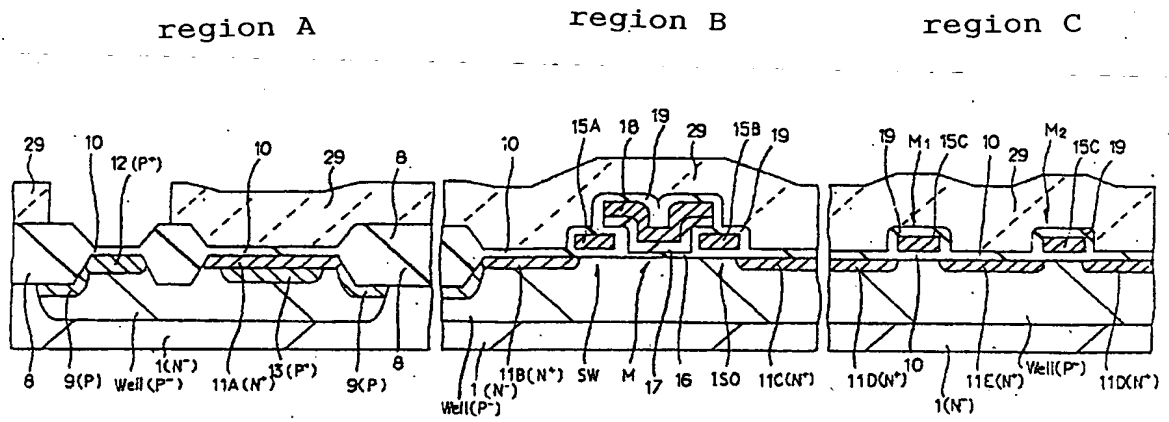


Fig. 15

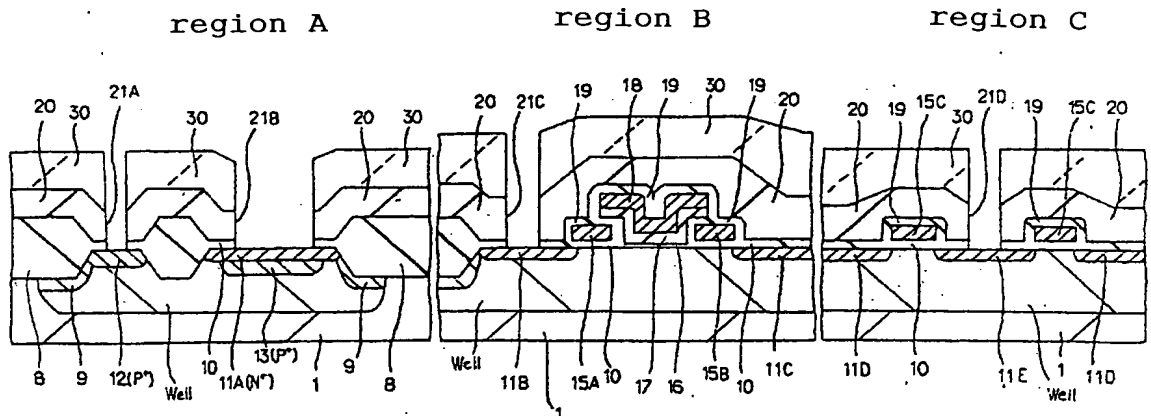


Fig. 16

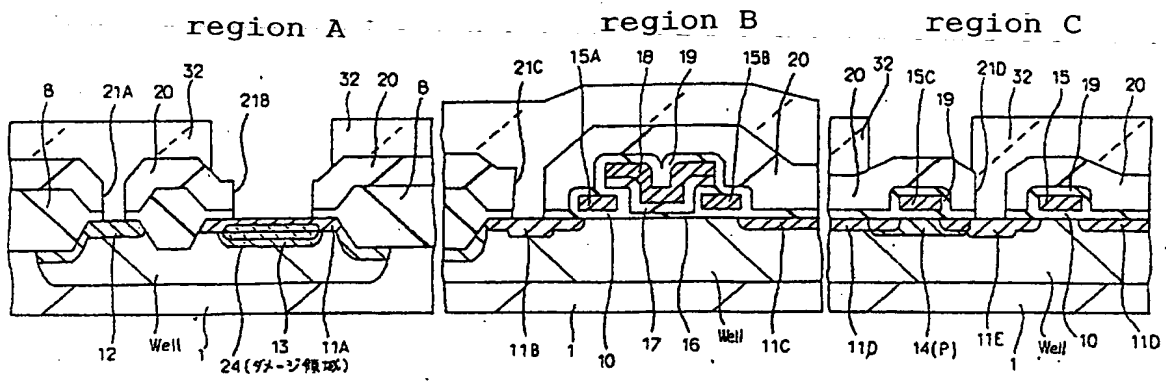


Fig. 17

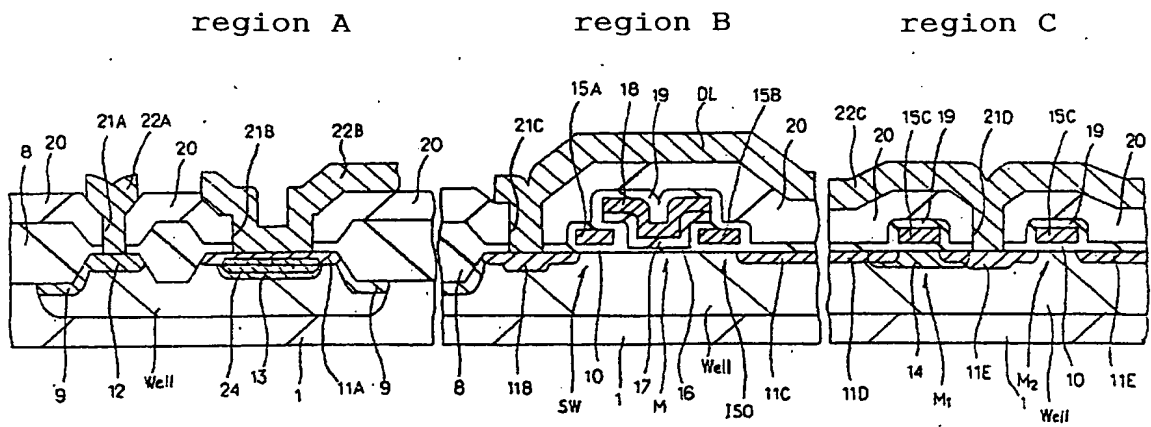


Fig. 18

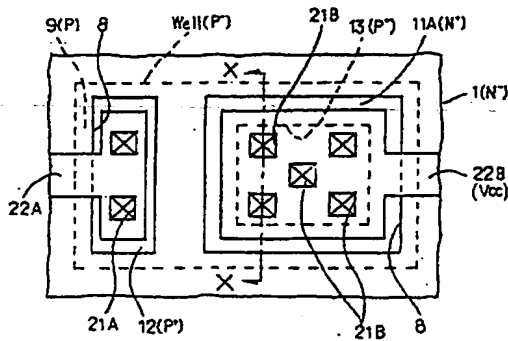


Fig. 19

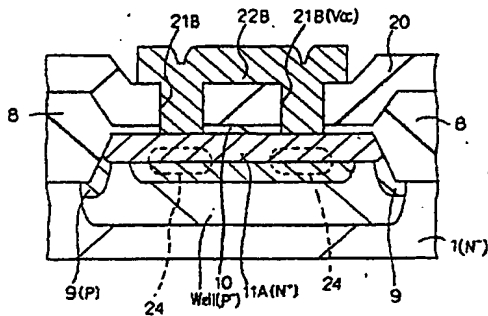


Fig. 20

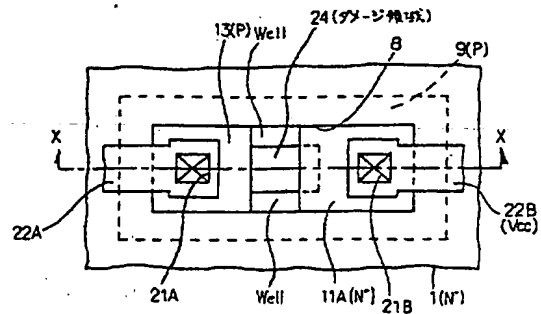
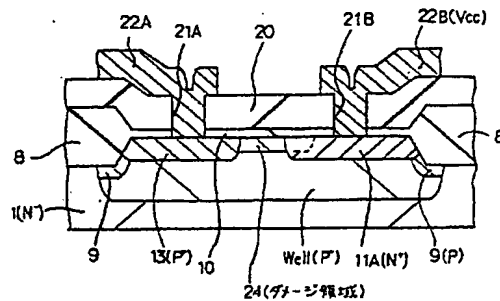


Fig. 21



第1頁の続き

⑤Int. Cl.⁴

H 01 L 29/78
29/91

識別記号

3 7 1

庁内整理番号

7514-5F
C-7638-5F

⑦2 発 明 者 長 沢

幸 一

東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑦發明者石井

清 一

東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑦2 発 明 者 岩 井

利 二

東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑦2 発 明 者 神 垣

良 昭

東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑦2発 明 者 内 堀

濟文

東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑦發明者 古・沢

和 則

東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内

⑦²發明者寺沢

正 明

東京都小平市上水本町1448番地 日立超エル・エス・アイ
エンジニアリング株式会社内

⑦²発 明 者 松 原

清

東京都小平市上水本町1450番地 株式会社日立製作所武蔵工場内